



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03283180 A**(43) Date of publication of application: **13 . 12 . 91**

(51) Int. Cl.

G11C 11/406(21) Application number: **02084030**(71) Applicant: **NEC CORP**(22) Date of filing: **30 . 03 . 90**(72) Inventor: **KOMURO TOSHIO**(54) **SEMICONDUCTOR MEMORY**

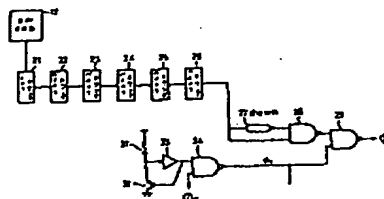
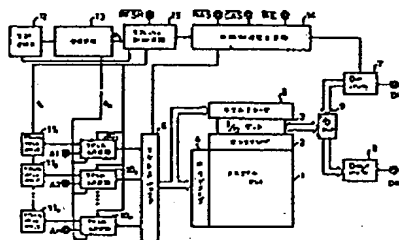
relived.

(57) Abstract:

COPYRIGHT: (C)1991,JPO&Japio

PURPOSE: To refresh only a memory cell which does not satisfy minimum holding time at a short period by refreshing again the memory cell on a specified word line after the refreshing of the memory cells on respective word lines are terminated in an automatic refreshing period.

CONSTITUTION: In a frequency divider circuit 13 to which a signal $\phi;E$ that changes from a low level to a high level in synchronizing with the termination of respective refreshing at the time of automatic refreshing is inputted, an output signal $\phi;R$ is fixed in the high level by a NAND circuit 34 since the output of an inverter 33 is in the low level unless a fuse 31 is fused. Consequently, the signal $\phi;S$ of one shot is generated at that time. The signal $\phi;S$ drives a refreshing control circuit 15 and the refreshing of one word is started. Address input circuits 10_1-10_n decide which word line is selected at that time. Thus, the word line where the memory cell which does not satisfy minimum holding time t_{hold} exists is



⑨ 日本国特許庁(JP) ⑩ 特許出願公開
 ⑫ 公開特許公報(A) 平3-283180

⑬ Int. Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成3年(1991)12月13日
 G 11 C 11/406 8526-5L G 11 C 11/34 3 6 3 J
 審査請求 未請求 請求項の数 1 (全11頁)

⑮ 発明の名称 半導体メモリ
 ⑯ 特 願 平2-84030
 ⑰ 出 願 平2(1990)3月30日
 ⑱ 発 明 者 小 室 敏 雄 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体メモリ

2. 特許請求の範囲

1. 外部アドレス入力の必要としないリフレッシュ機能を有する半導体メモリにおいて、該リフレッシュのサイクルにおいて1つのワード線上のメモリセルのリフレッシュが終了した後少なくとも1つの特定のワード線上のメモリセルのリフレッシュを引き続き行なう手段を有することを特徴とする半導体メモリ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体メモリに関し、特に外部アドレスを必要としないリフレッシュ機能を有する半導体メモリに関する。

(従来の技術)

近年のダイナミックメモリ、特に256Kビットメモリ以降においては、擬似スタティックメモリ(以下、PSRAMと略す)と呼ばれるダイナ

ミックメモリ(以下DRAM)とスタティックメモリ(以下SRAM)の‘中間’の位置を占めるメモリが開発されている。ここで言う‘中間’という意味は次の通りである。すなわち、DRAMにおいては、そのメモリセルの回路構成がコンデンサで構成されるため、リフレッシュと呼ばれるメモリセルのハイレベルを再充電する動作が必要である。このため256Kメモリでは一般に4 msecに256回のリフレッシュを行なうという規定が設けられている。したがって、メモリセルのデータ保持を行なうための平均電流 I_{dr} は

$$I_{dr} = I_{op} \times \frac{T_{op}}{4 \text{ ms} / 256}$$

で表わされる。

ここで、 T_{op} は通常のライトおよびリードを行なう際のサイクル時間であり、 I_{op} はメモリが $1/T_{op}$ の周波数で動作する際の平均動作電流である。256Kメモリではおおよそ $T_{op} = 190 \text{ ns}$ で、 $I_{op} = 60 \text{ mA}$ であるからデータ保持電流 I_{dr} は $730 \mu\text{A}$ 程度となる。

一方、SRAMにおいては、そのメモリセルの回路構成がフリップ・フロップで構成されメモリセルの情報がDCレベルで保持されているため、DRAMのようなリフレッシュ機能を必要としない。そのためデータ保持電流はおよそ10 μ A未満の値で済む。ただし製品価格の点から言えば、メモリセルの占める面積がその回路構成上DRAMより大きいと、チップサイズも大きくなり価格が高くなってしまふ。すなわち、ビット当りのコストがSRAM>DRAMとなってしまう。

そこで価格的にはDRAMに近く、性能的にはSRAMに近いPSRAMが開発された。PSRAMは、メモリセルの構成はDRAMと同じコンデンサ構成を用いてビット当りのコストを下げ、性能的には長い周期でオートリフレッシュを行ないIdleを下げることを特徴とするメモリである。

そこで、PSRAMの動作を第5～第8図を用いて説明する。

リ動作を開始するものである。さらに、この自動発振器12の出力を第6図で示すように通常のバイナリカウンタを用いた分周回路13Aにより分周することで信号 ϕ_c を作る。この ϕ_c により、リフレッシュ制御回路15にある一定周期毎に駆動しオートリフレッシュを行なう。リフレッシュ制御回路15の役割には、リフレッシュアドレスカウンタ11 $_1$ ～11 $_n$ のインクリメント、すなわち選択ワードを駆動するロウデコーダ4のロウアドレスを決定するための内部アドレス情報の変更を行なう役割と、アドレス入力回路10A $_1$ ～10A $_n$ において外部アドレスA $_1$ ($i=1\sim n$)と内部アドレスの切換を行なう役割がある。この役割を行なう信号は ϕ_A である。この ϕ_A が入力する第7図に示したアドレス入力回路10A $_1$ ～10A $_n$ は通常のライト・リードサイクルにおいては、インバータ41によりMOSPチャネルトランジスタ42がオフ、46がオンしており、MOSNチャネルトランジスタ43がオフ、47がオンしている。このため、アドレス入

第5図はPSRAMの従来のブロック図、第6図は第5図の分周回路13Aの回路図、第7図は第5図のアドレス入力回路の10A $_1$ ～10A $_n$ の回路図、第8図は動作電流波形図である。

このPSRAMは、メモリセルアレイ1とセンスアンプ2とI/Oゲート3とロウデコーダ4とカラムデコーダ5とアドレスバッファ6とDinバッファ7とDoutバッファ8とI/Oスイッチ9とアドレス入力回路10A $_1$ ～10A $_n$ とリフレッシュアドレスカウンタ11 $_1$ ～11 $_n$ と自動発振器12と分周回路13Aと内部クロック発生回路14とリフレッシュ制御回路15と端子RAS、CAS、WE、Din、Dout、A $_1$ ～A $_n$ 、RFSHで構成され、通常のライト・リードの機能をRAS、CAS、WE、Din、Doutの各端子を用いて行なう他に、RFSH端子をアクティブにすることでオートリフレッシュを開始することができる。

第5図の自動発振器12はRFSH端子をアクティブすることでリフレッシュ制御回路15によ

力回路10A $_1$ ～10A $_n$ の出力はRASにより外部端子から取り込まれ外部アドレスラッチ回路45にラッチされた情報によって決定され、出力回路44から出力され、選択ワードを決定する。一方、オートリフレッシュ時には ϕ_A がハイレベルとなっているのでトランジスタ42、43、46、47はそれぞれオン、オン、オフ、オフしている。このため、アドレス入力回路10A $_1$ ～10A $_n$ の出力は外部アドレスA $_i$ には無関係に、リフレッシュアドレスカウンタ11 $_1$ ～11 $_n$ の情報により決定され、選択ワードを決定する。

したがって、オートリフレッシュ時における動作電流波形は第8図(2)に示すICCRのような波形となる。つまり、RFSH端子がロウレベルとなり、オートリフレッシュモードに入ることによりリフレッシュアドレスによってインクリメントされる内部アドレスによって選択されるワード線上のメモリセルが、次々とリフレッシュされていくため、ピーク電流を生じる。このピーク電流の間

隔は、前述の分周回路13Aの出力 ϕ_s の周期と一致する。また、破線で示される I_{dr} はデータ保持の際の平均電流であり、次式で示されることになる。

$$I_{dr} = I_{st} + (T_{op} / T_{ref}) \times I_{op}$$

ここで、 T_{op} 、 I_{op} は前述と同じく通常のライト・リードサイクルでのサイクルタイムおよび平均動作電流、 T_{ref} はオートリフレッシュの周期、 I_{st} は自動発振器12等の消費電流である。また、 T_{ref} は ϕ_s の周期と同じであることから、自動発振器12の周期を t_{osc} 、分周に用いるバイナリカウンタの台数を m 台とすれば $T_{ref} = 2^m \times t_{osc}$ となる。

したがって、 $I_{dr} = I_{st} + I_{op} \times T_{op} / (2^m \times t_{osc})$ となる。実際の256KのPSRAMでは、 I_{st} がオシレータの周期に比例する回路を用いざるを得ないため、 t_{osc} を3 μ s程度に大きくし、 $I_{st} = 20\mu A$ を実現している。したがって、バイナリカウンタを例えば

く、ある期間に拡散ラインへ投入したウエハーがすべて t_{hold} を満たさないために不良品となってしまうこともあり得る。このために、PSRAMでは、第6図のような手段を用いて T_{ref} を短くして t_{hold} を短くすることにより不良品の救済を行っていた。第6図の動作を以下に説明する。

第6図においてヒューズ31を溶断しない場合、インバータ33、35の出力はそれぞれロウレベル、ハイレベルである。したがって、MOSPチャンネルトランジスタ36、38はそれぞれオフ、オンしており、MOSNチャンネルトランジスタ37、39はそれぞれオフ、オンしている。この時AND回路40は、自動発振器12の出力がバイナリカウンタ21~26の6台で分周されるので、 $t_{osc} \times 2^6$ の期間毎に遅延回路27のもつ時間幅のワンショット信号 ϕ_s を発生する。この信号 ϕ_s によりリフレッシュ制御回路15が駆動され、1つのワード線上のメモリセルのリフレッシュを開始する。この場合の t_{hold} は前述のように256KPSRAMを例にしておよそ

6台用意することで、前述のDRAMの $I_{dr} = 730\mu A$ に対して、PSRAMでは $I_{dr} = 80\mu A$ 程度が実現される。

以上がPSRAMの基本概念であり、以下にPSRAMの製造上の問題点を特に第6図をもとに述べる。

PSRAMでは上述した I_{dr} を実現するためにDRAMに比べ全メモリセルは非常に長いホールド時間 t_{hold} を必要とする。すなわちオートリフレッシュサイクルに入って任意のワード線が選択されて、再び選択されるまでの期間は、上の256KのPSRAMの例で言えば50msecとなる。したがって、すべてのメモリセルの t_{hold} は50msec以上必要となり、DRAMの4msecに対して12.5倍もの t_{hold} が必要となる。このため、PSRAMでは全メモリセルのホールド時間がDRAM並の4msecあっても不良となってしまう製品の歩留を下げしてしまう。また、メモリセルのホールド時間は、拡散工程でのウエハー処理の影響を受けやす

50msecである。この時の動作電流波形は第8図(2)のICCRに示すものである。

一方、第6図においてヒューズ31を溶断すればインバータ33、35の出力はハイレベル、ロウレベルとなり、トランジスタ36、38、37、39はそれぞれオン、オフ、オン、オフとなる。この時、自動発振器12の出力は、バイナリカウンタ21~24の4台で分周される。したがって、 ϕ_s は $t_{osc} \times 2^4$ の周期のワンショットパルスとなる。この場合の t_{hold} はヒューズ31溶断前の1/4の12.5msecになる。これにより動作電流波形は第8図(3)のICCR1に示すものとなる。

以上のように t_{hold} を変えることにより、例えば1つのメモリセルのホールド時間が15msecしかなくて不良になってしまう場合でも、ヒューズ31を溶断することにより救済を行っていたのが従来のPSRAMである。

(発明が解決しようとする課題)

上述した従来のPSRAMでは、メモリセルの

ホールド時間が少ない場合、メモリセルの持つべき最小のホールド時間 t_{hold} を分周回路によって調整して救済を行なっている。すなわち、分周の回数を変えることによりオートリフレッシュ時の周期 T_{ref} を短くしている。上述の例ではバイナリカウンタ2台減らすことにより T_{ref} を $1/4$ にする例を挙げた。一般にバイナリカウンタを1台、2台、3台、4台・・・と減らすにつれて、 T_{ref} は $1/2$ 倍、 $1/4$ 倍、 $1/8$ 倍、 $1/16$ 倍・・・と等比級数的に短くなっていく。この時 ($I_{dr} - I_{set}$) は2倍、4倍、8倍、16倍と等比級数に増大していく。 I_{set} はほぼ一定であるから従来のPSRAMは、データ保持電流 I_{dr} が等比級数的に増大していくという欠点がある。

本発明の目的は、オートリフレッシュ時の周期 T_{ref} を短くすることなく、最小のホールド時間 t_{hold} を満たさないメモリセルに対してだけ短い周期でリフレッシュを行なえる半導体メモリを提供することである。

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の半導体メモリのブロック図、第2図は第1図中の分周回路13の回路図、第3図は第1図中のアドレス入力回路10₁～10_nの回路図、第4図は第1図中の半導体メモリの動作電流の波形図である。

本実施例は第5図の従来例と分周回路13とアドレス入力回路10₁～10_nが異なっており、分周回路13の出力信号 ϕ_n によりアドレス入力回路10₁～10_nを制御する。

分周回路13は、第2図に示すように、バイナリカウンタ21～25と、バイナリカウンタ26の出力を遅延し、反転して出力する遅延回路27と、電源と接地の間に接続されたヒューズ31およびMOSNチャンネルトランジスタ32と、入力がヒューズ31とMOSNチャンネルトランジスタ32の接続点に接続されたインバータ33と、インバータ33の出力と信号 ϕ_n を入力とするNAND回路34と、バイナリカウンタ26の

(課題を解決するための手段)

本発明の半導体メモリは、リフレッシュのサイクルにおいて1つのワード線上のメモリセルのリフレッシュが終了した後に、少なくとも1つの特定のワード線上のメモリセルのリフレッシュを引き続き行なう手段を有している。

(作 用)

本発明は、オートリフレッシュ時の各ワード線のリフレッシュの終了後に、ホールド時間が短いメモリセルの存在するワード線のリフレッシュを再び行なう構成となっている。このため、オートリフレッシュ時の周期 T_{ref} を変化させる必要はなく、ホールド時間が t_{hold} 以下のメモリセルに対してだけ短い周期でリフレッシュを行なえる。また、特定のワード、つまり短い周期のリフレッシュを行なう必要のあるワードを1本、2本、3本・・・と増やしていっても、データ保持電流 I_{dr} は2倍、3倍、4倍・・・と等差数列的にしか増大していかない。

(実施例)

出力と遅延回路27の出力を入力とするNAND回路28と、NAND回路28の出力とNAND回路34の出力信号 ϕ_n を入力とし、信号 ϕ_n を出力するNAND回路29で構成されている。

アドレス入力回路10₁～10_nは、第3図に示すように、出力回路44と外部アドレスラッチ回路45と、信号 ϕ_n と ϕ_n を入力するAND回路48と、AND回路48の出力を反転するインバータ41と、リフレッシュアドレスカウンタ11と出力回路44の間に、ソース同志、ドレイン同志が互いに接続されそれぞれインバータ41の出力、AND回路48の出力がゲートに入力されるMOSPチャンネルトランジスタ42およびMOSNチャンネルトランジスタ43と、信号 ϕ_n を反転するインバータ49と、信号 ϕ_n とインバータ49の出力を入力とするAND回路56と、AND回路56の出力を反転するインバータ57と、外部アドレスラッチ回路45と出力回路44の間に、ソース同志、ドレイン同志が互いに接続され、それぞれインバータ57の出力、AN

D回路56の出力がゲートに入力されるMOSPチャンネルトランジスタ46およびMOSNチャンネルトランジスタ47と、一端が電源に接続されたヒューズ50と、ドレインがヒューズ50の他端に、ソースが接地されたMOSNチャンネルトランジスタ51と、入力がヒューズ50とMOSNチャンネルトランジスタ51の接続点に接続され、出力がMOSNチャンネルトランジスタ51のゲートに接続されたインバータ52と、信号 ϕ_n を反転するインバータ55と、インバータ52と出力回路44の間に、ソース同志、ドレイン同志が互いに接続され、それぞれ信号 ϕ_n 、インバータ55の出力信号がゲートに入力されるMOSPチャンネルトランジスタ53およびMOSNチャンネルトランジスタ54で構成されている。

次に、本実施例の動作を説明する。

第2図において、 ϕ_e はオートリフレッシュ時の各リフレッシュ終了に同期して、ロウレベルからハイレベルになる信号であり、実際のメモリで

の出力はロウレベル、インバータ57の出力はハイレベルとなっている。すなわち、MOSPチャンネルトランジスタ46とMOSNチャンネルトランジスタ47はいずれもオフしている。また、インバータ55の出力はロウレベルであるため、MOSPチャンネルトランジスタ53とMOSNチャンネルトランジスタ54もいずれもオフしている。したがって、この時ワード線を選択は、外部Ai端子の情報に関係なく、リフレッシュアドレスカウンタ11の情報により決定される。オートリフレッシュ期間においては ϕ_e は $T_{ref} = 2m \times t_{osc}$ の周期で周期的に発生し、また、 ϕ_n によりリフレッシュアドレスカウンタ41がインクリメントされていくので、第4図(2)に示すICCRのような動作電流波形が得られる。

次に、ヒューズ31を溶断した時の動作を説明する。この時インバータ33の出力はハイレベルとなる。リフレッシュアドレスカウンタ11の情報により繰り返されるオートリフレッシュは、上述の T_{ref} の周期で行なわれる。このリフレ

はセンスアンプのセンス終了からの遅延時間をもって生成される信号で作られる。この信号 ϕ_e が入力する分周回路13はヒューズ31を溶断しない限り、インバータ33の出力はロウレベルであるためNAND回路34により出力信号 ϕ_n はハイレベルで固定されている。したがって、この時は、従来例と同じく、 $T_{ref} = 2m \times t_{osc}$ の周期でハイレベルになるワンショットの信号 ϕ_e が発生する。この ϕ_e がリフレッシュ制御回路15を駆動して1つのワードのリフレッシュが開始されるが、この時にどのワード線が選択されるかは、第3図のアドレス入力回路10、 $\sim 10_n$ が決定する。すなわち、オートリフレッシュに入ることで信号 ϕ_n 、 ϕ_e がハイレベルになっているので、AND回路48の出力はハイレベルであり、インバータ41の出力はロウレベルとなっている。そのため、MOSPチャンネルトランジスタ42とMOSNチャンネルトランジスタ43はいずれもオンしている。一方、インバータ49の出力はロウレベルであり、AND回路56

シュ動作時は、信号 ϕ_e がロウレベルであるので、 ϕ_n はハイレベルのままであり、動作は妨げられない。リフレッシュ終了後に ϕ_e がハイレベルになることで ϕ_n はロウレベルとなり、NAND回路29が再び信号 ϕ_e の幅のワンショット信号 ϕ_e を発生してリフレッシュ制御回路15を駆動し、リフレッシュを再び開始する。この時の選択ワードはアドレス入力回路10、 $\sim 10_n$ により決定される。すなわち、 ϕ_e がロウレベルとなることで、AND回路48、インバータ41、AND回路56、インバータ57の各出力は、ロウレベル、ハイレベル、ロウレベル、ハイレベルとなるため、MOSPチャンネルトランジスタ42、46、MOSNチャンネルトランジスタ43、47はすべてオフし、リフレッシュアドレスカウンタ11の情報および外部端子Aiの情報は使用されない。一方、インバータ55の出力はハイレベルとなるのでMOSPチャンネルトランジスタ53、MOSNチャンネルトランジスタ54がオンする。したがって、インバータ52

の出力によりワードが選択される。インバータ52の出力は、ヒューズ50を溶断しない場合はロウレベルであり、溶断すればハイレベルとなる。こうしてアドレス入力回路10₁～10_nのインバータ52の出力レベルを決定しておくことで特定のワード線が常にリフレッシュされる。この時の周期は上述の T_{REF} と同じであり、動作電流波形は第4図(3)のICCR1のように2つのピークを持ちながら T_{REF} の周期で繰り返される。前者のピークがリフレッシュアドレスカウンタ11の情報により選択されたワード線のリフレッシュによるものであり、後者のピークはヒューズ50の溶断の有り無しによって決められた特定のワード線のリフレッシュによるものである。

256KメモリのPSRAMでの従来例では $t_{hold}=50\text{ msec}$ でホールド時間15 msecしかないメモリセルを救済するために T_{REF} を1/4にして t_{hold} を12.5 msecとし救済していたが、 I_{dr} は4倍となってい

時間が回路で決まるメモリセルの持つべき最小のホールド時間 t_{hold} を満たさないメモリセルの存在するワード線を救済でき、このためデータ保持電流 I_{dr} も従来例ほど増大しないという効果もある。

4. 図面の簡単な説明

第1図は本発明の一実施例の半導体メモリのブロック図、第2図は第1図中の分周回路13の回路図、第3図は第1図中のアドレス入力回路10₁～10_nの回路図、第4図は第1図中の半導体メモリの動作電流の波形図、第5図は半導体メモリの従来例のブロック図、第6図は第5図中の分周回路13Aの回路図、第7図は第5図中のアドレス入力回路10A₁～10A_nの回路図、第8図は第5図の半導体メモリの動作電流の波形図である。

- 1・・・メモリセルアレイ、
- 2・・・センスアンプ、
- 3・・・I/Oゲート、
- 4・・・ロウデコーダ、

た。

本実施例ではホールド時間が15 msecしかないメモリセルは、その存在するワード線を $T_{REF}=192\mu\text{s}$ でリフレッシュすることになるので充分救済でき、 I_{dr} は2倍にしかならない。つまり通常のDRAMの4 msec以上ホールド時間があれば必ず救済できる。本実施例では1本のワード線を救済する例を述べたが、救済するワード線の本数を1本、2本、3本、と増やしていても、 I_{dr} は2倍、3倍4倍としか増えない。このため、さらに I_{dr} を小さくする回路設計を行なうために、 T_{REF} を長く、すなわち t_{hold} を長くしても、この t_{hold} を満たさないホールド時間を持つメモリセルを救済できる。

(発明の効果)

以上説明したように本発明は、オートリフレッシュ期間において、各ワード線上のメモリセルのリフレッシュ終了後に、ある特定のワード線上のメモリセルを再びリフレッシュすることにより、リフレッシュ周期 T_{REF} を短くせずに、ホールド

- 5・・・カラムデコーダ、
- 6・・・アドレスバッファ、
- 7・・・Dinバッファ、
- 8・・・ Dout バッファ、
- 9・・・I/Oスイッチ、
- 10₁～10_n・・・アドレス入力回路、
- 11₁～11_n・・・リフレッシュアドレスカウンタ、
- 12・・・自動発振器、
- 13, 13A・・・分周回路、
- 14・・・内部クロック発生回路、
- 15・・・リフレッシュ制御回路、
- 21～26・・・バイナリカウンタ、
- 27・・・遅延回路、
- 28, 29, 34・・・NAND回路、
- 31, 50・・・ヒューズ、
- 32, 37, 39, 43, 47, 51, 54
・・・MOSNチャンネルトランジスタ、
- 33, 35, 41, 49, 52, 55, 57
・・・インバータ、

3 6 , 3 8 . 4 2 . 4 6 , 5 3

・ ・ ・ MOSPチャンネルトランジスタ、

4 4 . . . 出力回路、

45・・・外部アドレスラッチ回路、

40, 48, 56 . . . AND 回路、

ϕ_E . . . リフレッシュ制御回路駆動信号、

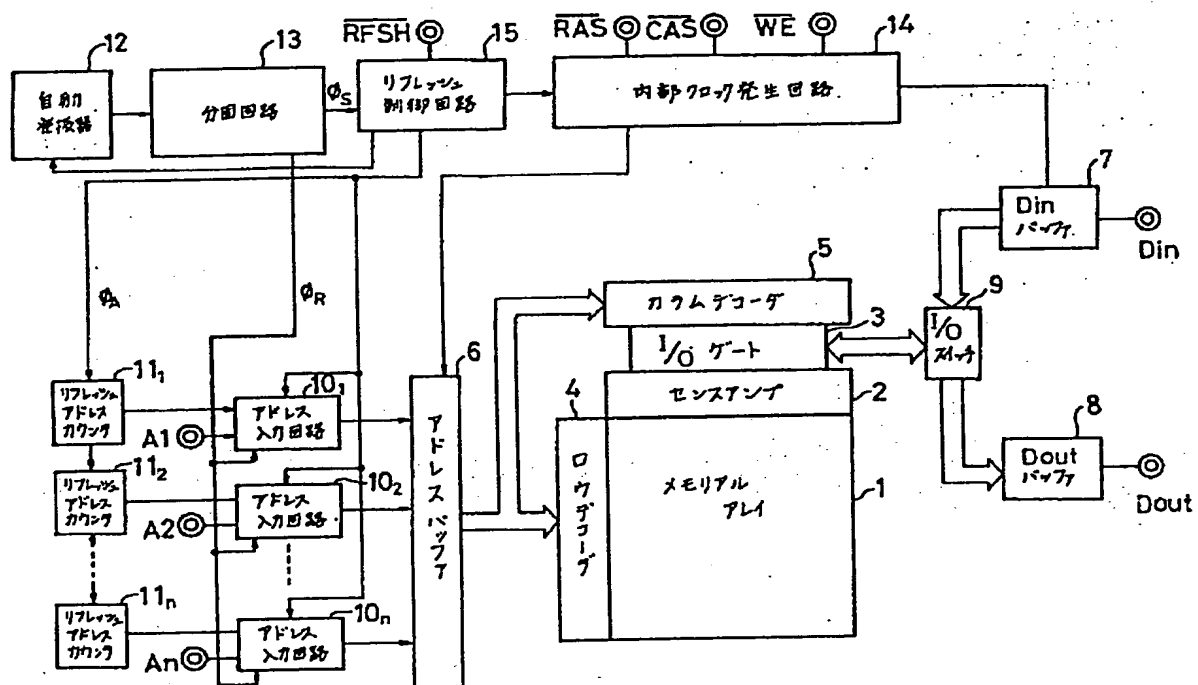
ϕ_R . . . アドレス入力回路駆動信号、

φ_A . . . リフレッシュアドレスカウンタインク

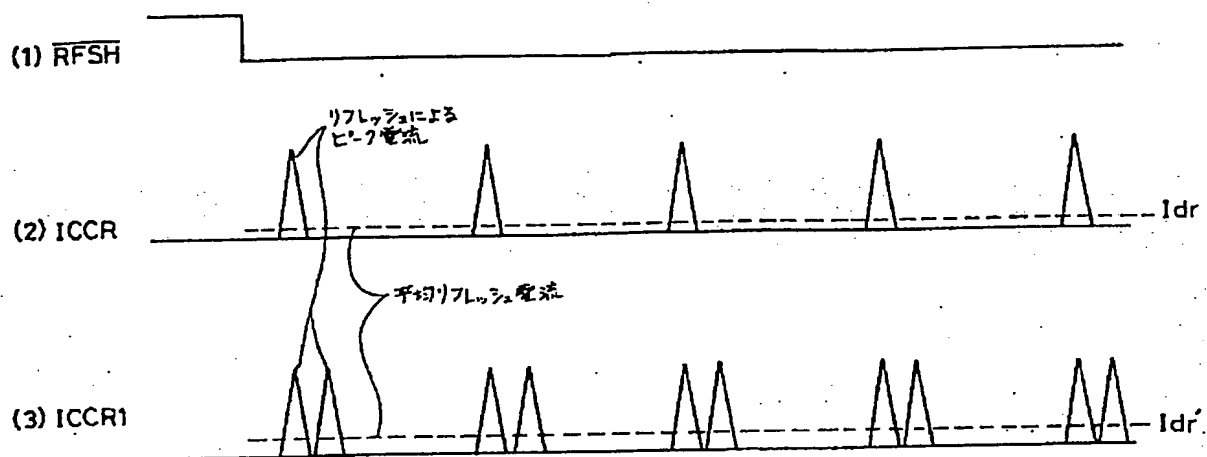
リメントおよびアドレス入力回路駆動
信号。

特許出願人 日本電気株式会社

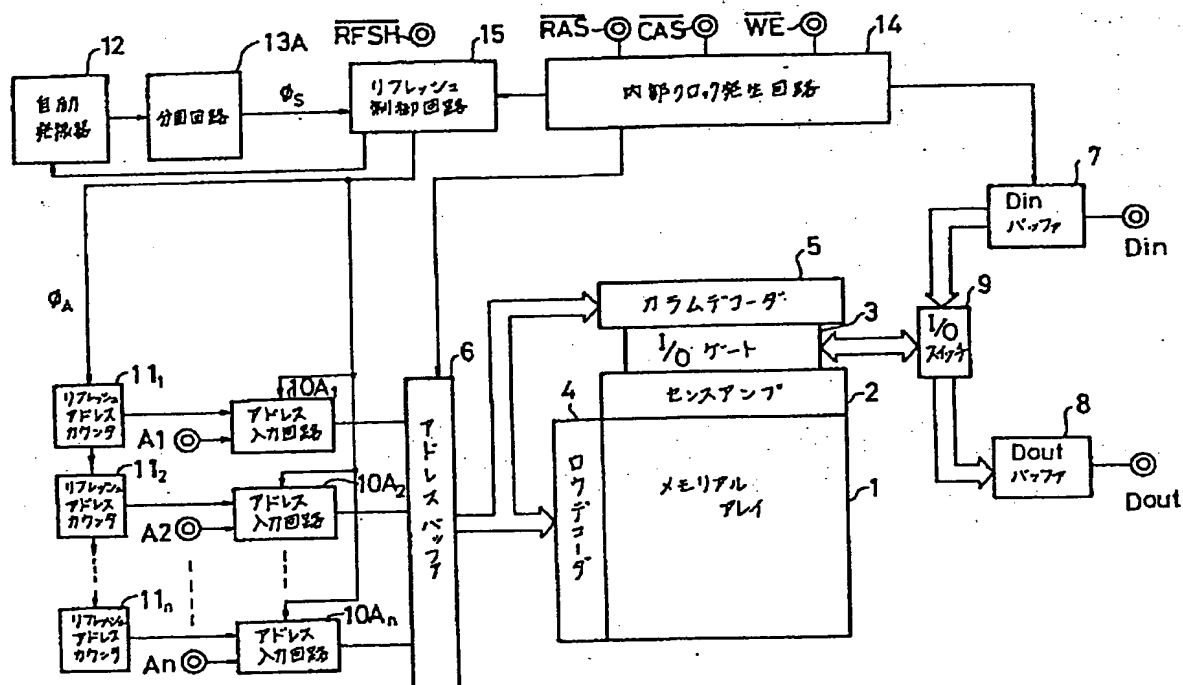
代理人：弁理士 内原 晋



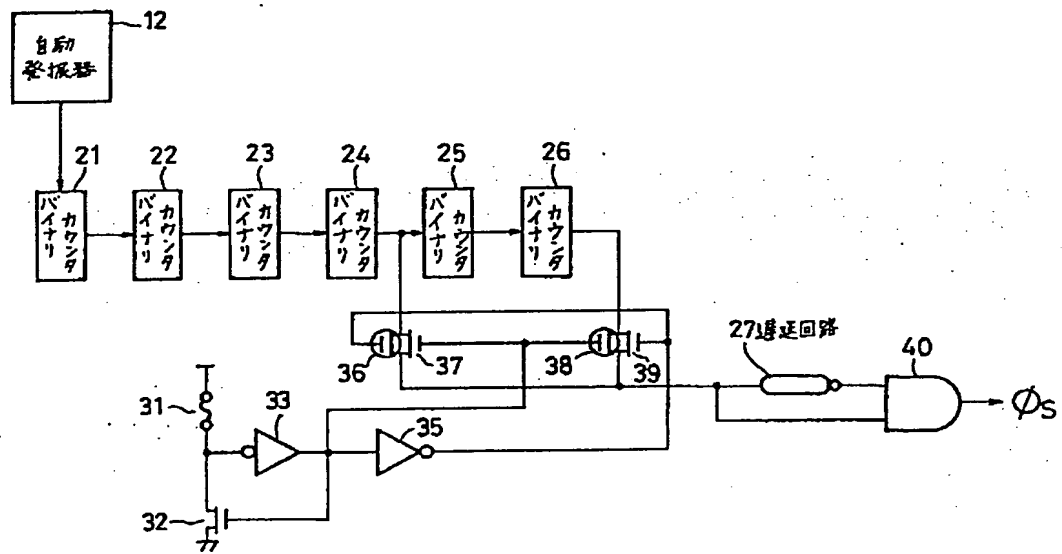
第 1 区



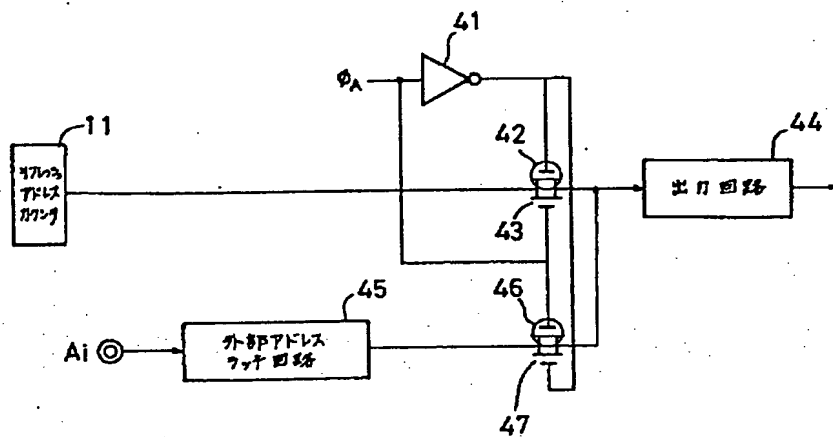
第 4 図



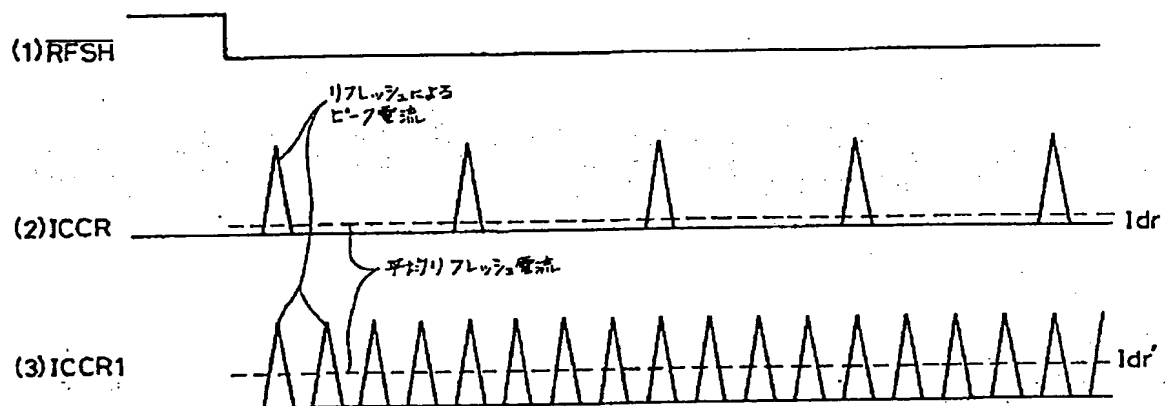
第 5 図



第 6 図



第 7 図



第 8 図